

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-029400

(43)Date of publication of application : 08.02.1988

(51)Int.Cl.

G11C 29/00

(21)Application number : 61-172175

(71)Applicant : NEC CORP

(22)Date of filing : 21.07.1986

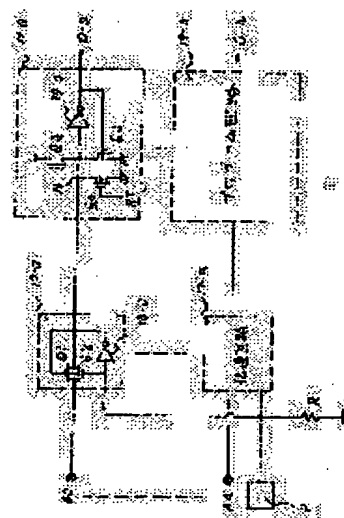
(72)Inventor : SANADA KOJI

## (54) SEMICONDUCTOR MEMORY

## (57)Abstract:

**PURPOSE:** To attain a program circuit not using a fuse element by providing an electrically writable non-destructive memory element connected to an address signal input terminal via a transfer circuit controlled by a program setting signal to a program circuit.

**CONSTITUTION:** In applying programming, a needle is set to a pad P, and a program setting signal is fed from the needle to connect address terminals A0WAn and the contact. In applying a high voltage pulse having a prescribed width to the address terminal to be replaced, a P-channel FAMOSQ3 of the non-destructive memory element causes avalanche phenomenon, an electric charge is stored in a floating gate and the Q3 is always turned on. The On-state is held semi-permanently so long as no ultraviolet ray is radiated to the P channel FAMOS. Thus, the level of a contact N goes to H and L level is outputted at an output O. Thus, the programming is attained. Then programming is attained without using fuse element.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-29400

⑬ Int.Cl.<sup>4</sup>  
G 11 C 29/00

識別記号  
3 0 1

庁内整理番号  
B-7737-5B

⑭ 公開 昭和63年(1988)2月8日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体メモリ

⑯ 特 願 昭61-172175

⑰ 出 願 昭61(1986)7月21日

⑱ 発 明 者 真 田 孝 司 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

#### 明 細 書

##### 発明の名称

半導体メモリ

##### 特許請求の範囲

複数のプログラム回路と、前記プログラム回路の出力によってそれぞれ制御される不良アドレス選択スイッチ回路と、前記不良アドレス選択スイッチ回路の出力信号及び予備デコードイネーブル信号を解読する予備デコードとを含む予備メモリセル選択回路を備えた半導体メモリにおいて、前記プログラム回路はプログラム設定信号によって制御される伝達回路を介してアドレス信号入力端子に接続された電氣的に書き込み可能な非破壊型メモリ素子を含むことを特徴とする半導体メモリ。

##### 発明の詳細な説明

(産業上の利用分野)

本発明は半導体メモリに関し、特に正規メモリ

セルに不良が生じた場合にそのメモリセルを予備メモリセルに置き換え救済する冗長回路を備えた半導体メモリに関する。

(従来の技術)

近年半導体メモリは、メモリ容量増加のために製造歩留りが低下する方向へ向っているため、冗長回路(正規メモリセルと予備メモリセルを同一チップ上に形成しておき、製造中に正規メモリセルに不良が生じた場合、予備メモリセルに置き換え救済する機能)を有する回路を備えたメモリが増加している。

従来、この種の冗長機能を備えた半導体メモリは、正規メモリセルを予備メモリセルに置き換える予備メモリセル選択回路を有してその中に不良メモリセルのアドレスをプログラムするためのヒューズ素子等を備えたプログラム回路を具備している。

第2図に従来の予備メモリセル選択回路を示す。

第2図において、プログラム回路11-0~11-nの出力とその出力をそれぞれインバータ1

2-0~12-nを通して得られる反転信号により、伝達ゲートで構成されている不良アドレス選択スイッチ回路13-0~13-nが駆動され、所望のアドレス情報15が予備デコーダ16の入力として供給される。又は、予備デコーダインネブル信号14もプログラム回路11から供給されて予備デコーダ16が選択され、不良メモリセルへ置き換えられる。

第3図にプログラム回路の第1の従来例を示す。

電源端子V<sub>cc</sub>と接地端子間にヒューズ素子Fと抵抗Rが直列接続され、直列接続点が出力Oとして取り出されている。このプログラム回路においては、ヒューズ素子Fをレーザ等により切断するか否かでプログラムを行うため、ヒューズ素子Fと抵抗Rとの抵抗値の比を十分小さく取っている。そのため、切断前は、出力Oに“1”、切断後に“0”が出力される。

第4図にプログラム回路の第2の従来例を示す。

第2の従来例は電氣的にプログラムする回路である。第4図においては第3図の抵抗Rと並列に

nMOSトランジスタQ6が接続され、かつQ6のゲートにはパッドPが接続されている。ここでプログラムを行うためのヒューズ素子Fの切断は、パッドPに針を立て正の電圧を印加し、Q6をオンさせ、ヒューズ素子Fに大電流を流させる。このことにより、ヒューズ素子Fを溶断させプログラムを行う。

(発明が解決しようとする問題点)

上述した従来のプログラム回路は、第1、第2の従来例共、ヒューズ素子を切断するため、信頼性が悪化するという欠点がある。また、レーザ装置により、ヒューズ素子を切断する方法では、専用のレーザ装置が必要であり、ICの製造コストを増加させる欠点もある。

本発明の目的は、信頼性の改善されたプログラム回路を備えた半導体メモリを提供することにある。

(問題点を解決するための手段)

本発明の半導体メモリは、複数のプログラム回路と、前記プログラム回路の出力によってそれぞ

れ制御される不良アドレス選択スイッチ回路と、前記不良アドレス選択スイッチ回路の出力信号及び予備デコーダインネブル信号を解釈する予備デコーダとを含む予備メモリセル選択回路を備えた半導体メモリにおいて、前記プログラム回路はプログラム設定信号によって制御される伝達回路を介してアドレス信号入力端子に接続された電氣的に書き込み可能な非破壊型メモリ素子を含むものである。

ここで非破壊型メモリ素子というのは、ヒューズ切断型やダイオード破壊型のような情報の書き換えが不可能なメモリ素子以外のもの、FAMOSを典型とするメモリ素子の意である。

(実施例)

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例の主要部の回路図である。

第1図において、A0~Anは、アドレス入力端子であり、かつ、プログラム端子である。17、

18~17-nはそれぞれプログラム回路19-0~19-nとアドレス入力端子A0~Anを接続するか否かを行う伝達回路であり、pMOSトランジスタQ1、nMOSトランジスタQ2とCMOSインバータ18-0で構成されている。また、この伝達回路の入力には、パッドPと一方が接地端子に接続されている抵抗Rとに接続されている。上述のプログラム回路19-0~19-nは、pチャネル型FAMOS(Floating Injection on Metal Oxide Semiconductor) Q3、nMOSトランジスタQ4、Q5、CMOSインバータ20-0で構成されている回路である。また、上述のトランジスタQ4のゲートには、リセット信号RT、トランジスタQ5のゲートには、出力O-0が接続されている。

次に、この実施例の回路動作について説明する。

プログラムを行っていない場合、パッドPは開放であり、上述のPチャネル型FAMOS Q3がオフであるため、リセット信号RTにより、トランジスタQ4がオンし、接点Nは接地レベルにな

る。そのため、出力 $O-0$ には“H”が出力される。また、リセット信号RTが非活性となりトランジスタQ4がオフしても、トランジスタQ5により出力 $O-0 \sim O-n$ には、“H”が保たれる。

次にプログラムを行う場合は、パッドPに針を立て、針から正の電位(プログラム設定信号)を印加する。このことにより、アドレス端子 $A0 \sim An$ と接点Nとが接続される。次に置換するアドレス端子に一定幅の高電圧パルス(例えば約20V)を印加すれば、Pチャネル型FAMOSQ3がアバランシェ現象を起し、浮遊ゲートに電荷が蓄積され、常にQ3はオン状態となる。このオン状態はPチャネル型FAMOSに紫外線を照射しないかぎり、半永久的にオン状態のまま保持される。このことにより接点Nは“H”となり、出力 $O$ には“L”が出力される。このようにしてプログラムが可能となる。このようなプログラム回路を第2図の11~11-nとして用いればよい。また、パッドPを使用していない外部端子に接続

しておけば、組立後にも不良メモリセル部を予備メモリセル部に置換でき救済できる。

なお、アドレス端子 $A0 \sim An$ は、このプログラム回路の外、不良アドレス選択スイッチ回路や正規のアドレスデコードにも接続されているが、正規動作時には(Pは開放)伝達回路17-0~17-nが非導通であるから支障はないし、プログラムされたあとは予備デコード16の出力により該当するデコードがマスクされるので問題はない。

尚、本実施例では、リセット信号RTにより制御されるトランジスタQ4により、節点Nのイニシャルライズを行なっているが、トランジスタQ4の代りに高抵抗多結晶シリコン抵抗等の高抵抗素子を使用しても、イニシャルライズが可能であり、同様に本発明の主旨を満たす半導体メモリが構成できる。その他、種々の応用例が実現できることは、言うまでもない。

(発明の効果)

以上説明したように本発明は非破壊型メモリを

用いたプログラム回路を有しているので、ヒューズ素子を使用すること無しにプログラムできるので、信頼性が悪化することもない。また、レーザ装置を使用しないので経済的でありヒューズ切断ミスなどもない。

$O, O-0 \sim O-n$ …出力信号、P…パッド、Q1…pMOSTランジスタ、Q2…nMOSTランジスタ、Q3…pチャネル型FAMOS、Q4、Q5、Q6…nMOSTランジスタ、R…抵抗。

#### 図面の簡単な説明

第1図は本発明の一実施例の主要部であるプログラム回路の回路図、第2図は従来の予備メモリセル選択回路の回路図、第3図、第4図はそれぞれ従来のプログラム回路の第1及び第2の例を示す回路図である。

11、11-0~11-n…プログラム回路、12-0~12-n…CMOSインバータ、13-0~13-n…不良アドレス選択スイッチ回路、14…予備デコードイネーブル信号、15…アドレス情報、16…予備デコード、17-0~17-n…伝達回路、18-0…CMOSインバータ、19-0~19-n…プログラム回路、 $A0 \sim An$ …アドレス信号入力端子、P…ヒューズ素子、

代理人 弁理士 内 原 晋

